

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001321452 A**

(43) Date of publication of application: **20.11.01**

(51) Int. Cl.

A61N 1/39
// H02M 1/00

(21) Application number: **2000143891**

(22) Date of filing: **16.05.00**

(71) Applicant: **NIPPON KODEN CORP**

(72) Inventor:
AKIYAMA NAOTO
INOMATA MASAHIKO
TSUMURA IKUHIRO

(54) **INTERNAL DISCHARGE CIRCUIT USING SEMICONDUCTOR SWITCH ELEMENT**

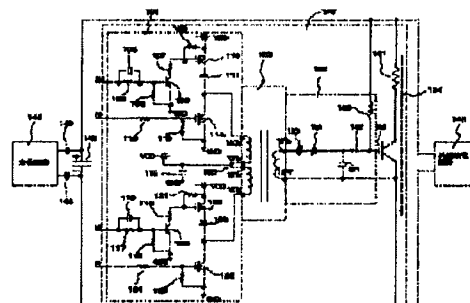
element 133 by accumulated electrical energy.

COPYRIGHT: (C)2001,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an internal discharge circuit using a semiconductor switch element capable of securing safeness of an electrical treatment device by an internal discharge capability even in a case where the semiconductor switch becomes uncontrollable for some reason or other.

SOLUTION: An internal discharge circuit 147 is composed of a transformer 103, its primary side area 101, its secondary side area 102, an internal discharge resistor 141 a semiconductor switch element 133, and in the secondary side area 102, a safety securing resistor 140 for automatically putting the semiconductor switch element 133 in an energized state is connected between the positive pole of an electrical energy accumulation section 142 and the gate of the semiconductor switch



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-321452
(P2001-321452A)

(43) 公開日 平成13年11月20日 (2001. 11. 20)

(51) Int.Cl.⁷

識別記号

F I

テーマコード*(参考)

A 6 1 N 1/39

A 6 1 N 1/39

4 C 0 5 3

// H 0 2 M 1/00

H 0 2 M 1/00

D 5 H 7 4 0

審査請求 未請求 請求項の数12 O L (全 13 頁)

(21) 出願番号 特願2000-143991(P2000-143991)

(22) 出願日 平成12年5月16日(2000. 5. 16)

(71) 出願人 000230962

日本光電工業株式会社

東京都新宿区西落合1丁目31番4号

(72) 発明者 秋山 直人

東京都新宿区西落合1丁目31番4号 日本
光電工業株式会社内

(72) 発明者 猪俣 雅彦

東京都新宿区西落合1丁目31番4号 日本
光電工業株式会社内

(74) 代理人 100099195

弁理士 宮越 典明

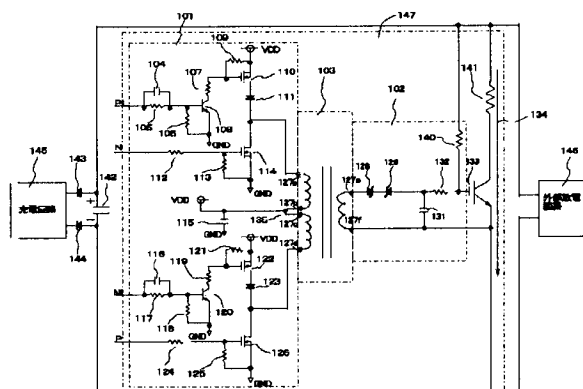
最終頁に続く

(54) 【発明の名称】 半導体スイッチ素子を用いた内部放電回路

(57) 【要約】

【課題】 何らかの原因で半導体スイッチの制御が不可能な状態に陥った場合においても、内部放電できることにより、電気的治療装置の安全性を確保できる半導体スイッチ素子を用いた内部放電回路を提供する。

【解決手段】 内部放電回路147は、トランス103と、その一次側領域101と、二次側領域102と、内部放電抵抗141、半導体スイッチ素子133から構成され、二次側領域102は、蓄積された電気エネルギーにより、自動的に半導体スイッチ素子133を導通状態にするための安全性確保用抵抗140が、電気エネルギー蓄積部142の正極と、半導体スイッチ素子133のゲートとの間に接続されたことを特徴とする。



【特許請求の範囲】

【請求項1】 制御回路からの制御信号で半導体スイッチ素子を導通状態にすることにより、電気エネルギー蓄積部に蓄積された電気エネルギーを、前記電気エネルギー蓄積部の一方の電極と、前記半導体スイッチ素子の第一端子との間に具備した内部放電抵抗により放電する半導体スイッチ素子を用いた内部放電回路において、前記電気エネルギー蓄積部の一方の電極と、前記半導体スイッチ素子の制御端子との間に、前記電気エネルギー蓄積部の一方の電極から、電流を制限して前記半導体スイッチ素子の制御端子へ伝達する安全性確保用抵抗を具備したことを特徴とする半導体スイッチ素子を用いた内部放電回路。

【請求項2】 請求項1に記載の半導体スイッチ素子を用いた内部放電回路において、少なくともトランスを具備し、前記トランスの一次側に、半導体スイッチ素子を制御するための制御信号により、前記トランスの一次側電流を制御する一次側領域を具備し、前記トランスの二次側に、半導体スイッチ素子を直接駆動する二次側領域を具備し、前記一次側領域は、制御信号を入力し、半導体スイッチ素子を制御するための電力を、前記二次側領域に伝達し、前記トランスの一次巻線を流れる電流が遮断されたときに発生する逆起電力を抑制するように構成されたことを特徴とする半導体スイッチ素子を用いた内部放電回路。

【請求項3】 請求項2に記載の半導体スイッチ素子を用いた内部放電回路において、前記二次側領域は、前記一次側領域から供給された電力を受け、前記半導体スイッチ素子を制御するための電力を前記半導体スイッチに伝達し、前記トランスの一次巻線を流れる電流が遮断されたときに発生する逆起電力によって生ずる電圧を遮断し、前記安全性確保用抵抗に比べてインピーダンスが低くなるように構成されたことを特徴とする半導体スイッチ素子を用いた内部放電回路。

【請求項4】 請求項3に記載の半導体スイッチ素子を用いた内部放電回路において、前記二次側領域は、前記トランスの二次巻き線の一端の端子が、第一の定電圧ツェナーダイオードのアノードに接続され、前記第一の定電圧ツェナーダイオードと互いにカソード同士が向かい合わせて接続された第二の定電圧ツェナーダイオードのアノードが抵抗を介して、前記半導体スイッチ素子の制御端子に接続され、前記トランスの二次巻き線他端の端子が、前記半導体スイッチ素子の第二端子に接続され、前記第二の定電圧ツェナーダイオードのアノードと、前記半導体スイッチ素子の第二端子との間に、コンデンサが接続されたことを特徴とする半導体スイッチ素子を用

いた内部放電回路。

【請求項5】 請求項2～4のいずれかに記載の半導体スイッチ素子を用いた内部放電回路において、前記半導体スイッチ素子および前記二次側領域を複数具備したことを特徴とする半導体スイッチ素子を用いた内部放電回路。

【請求項6】 請求項5に記載の半導体スイッチ素子を用いた内部放電回路において、前記電気エネルギー蓄積部の一方の電極と、複数の前記半導体スイッチ素子のそれぞれの制御端子との間に、前記安全性確保用抵抗をそれぞれ接続したことを特徴とする半導体スイッチ素子を用いた内部放電回路。

【請求項7】 請求項6に記載の半導体スイッチ素子を用いた内部放電回路において、複数の前記半導体スイッチ素子の第一端子と、第二端子との間に、それぞれの半導体スイッチ素子の特性のばらつきを補正するための補正用抵抗をそれぞれ接続したことを特徴とする半導体スイッチ素子を用いた内部放電回路。

【請求項8】 請求項5に記載の半導体スイッチ素子を用いた内部放電回路において、前記電気エネルギー蓄積部の一方の電極と、第一段目の前記半導体スイッチ素子の制御端子との間に、第一段目用の前記安全性確保用抵抗を接続し、前記半導体スイッチ素子の第二端子と、次段の前記半導体スイッチ素子の制御端子との間に、第二段目以降用の安全性確保用抵抗をそれぞれ接続したことを特徴とする半導体スイッチ素子を用いた内部放電回路。

【請求項9】 請求項1～8のいずれかに記載の半導体スイッチ素子を用いた内部放電回路において、絶縁ゲート型バイポーラトランジスタ (IGBT) を前記半導体スイッチ素子として用い、前記第一端子がコレクタであり、前記第二端子がエミッタであり、前記制御端子がゲートであり、前記電気エネルギー蓄積部の一方の電極が正極であることを特徴とする半導体スイッチ素子を用いた内部放電回路。

【請求項10】 請求項1～8のいずれかに記載の半導体スイッチ素子を用いた内部放電回路において、KタイプN型MOSFETを前記半導体スイッチ素子として用い、前記第一端子がドレインであり、前記第二端子がソースであり、前記制御端子がゲートであり、前記電気エネルギー蓄積部の一方の電極が正極であることを特徴とする半導体スイッチ素子を用いた内部放電回路。

【請求項11】 請求項1～8のいずれかに記載の半導体スイッチ素子を用いた内部放電回路において、JタイプP型MOSFETを前記半導体スイッチ素子として用い、前記第一端子がドレインであり、前記第二端子がソースであり、前記制御端子がゲートであり、前記電気エネルギー蓄積部の一方の電極が負極であることを特徴とする半導体スイッチ素子を用いた内部放電回路。

【請求項12】 請求項1～11のいずれかに記載の半導体スイッチ素子を用いた内部放電回路と、電気的刺激的波形を生成して生体（患者）への電気エネルギー出力をおこなう外部放電回路と、電気エネルギー蓄積部と、電気エネルギー蓄積部への充電を行う充電回路と、を有することを特徴とする電気的治療装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体スイッチ素子を用いた内部放電回路に関し、特に、除細動を目的とした電気的治療装置に使用される半導体スイッチ素子を用いた内部放電回路に関する。

【0002】

【従来の技術】心臓疾患の患者において、心臓に発生する不整脈、特に心室細動は、患者を突然死に至らしめる。この細動を除去するために、患者の心臓に電気パルスによるショックを与え、細動を除去する電気的治療装置（除細動器とも云う）が一般的に用いられている。このような電気的治療装置は、高電圧の電気パルスを発生させる電気エネルギー蓄積部（コンデンサ等）を備えている。そして、電気的治療装置の使用後に、装置内部（電気エネルギー蓄積部）に残った高電圧の電気エネルギーを強制的に放電して、安全性を確保する方法が考えられてきた。その1つの方法として、半導体スイッチ素子を用いた内部放電回路を備えるという方法がある。

【0003】以下、従来の電気的治療装置における半導体スイッチを用いた内部放電回路による放電方法について、図を用いて説明する。

【0004】図7は、従来の電気的治療装置における半導体スイッチを用いた内部放電回路による内部放電方法を説明するための概略図である。図7において、半導体スイッチ201は、マイクロプロセッサ202からの制御信号206により制御された半導体スイッチ駆動部203により、導通または遮断動作が制御される。そして、高電圧の電気エネルギーを蓄積するための電気エネルギー蓄積部（コンデンサ）204と半導体スイッチ201の間に、内部放電抵抗205が挿入されており、半導体スイッチ201を導通状態にすることにより、内部放電抵抗205を介して、接地端子208へ電流が流れて電気エネルギーが内部放電される。

【0005】

【発明が解決しようとする課題】しかしながら、従来の電気的治療装置における半導体スイッチを用いた内部放電回路内部による放電方法は、以下のような問題点を生ずる。上述の半導体スイッチ201の制御は、マイクロプロセッサ202からの制御信号により制御された半導体スイッチ駆動部203によって行われており、このため、予期しない電源の遮断（バッテリーはずれ等）や、何らかの装置の異常（制御回路の単一故障等）によって半導体スイッチ201の制御が不可能になると、半導体ス

イッチ201は遮断状態となり、電気エネルギー蓄積部204に蓄積されたエネルギーは内部放電されない。よって、従来の電気的治療装置における半導体スイッチを用いた内部放電回路による内部放電方法では、何らかの原因でスイッチの制御が不可能な状態に陥った場合、高電圧の電気エネルギーが放電されないまま残り、電気的治療装置を操作や修理をする際に、操作者や修理者が感電してしまう可能性があるという安全性に対する問題点があった。

【0006】本発明は、前記従来の技術の問題点を鑑みてなされたものであって、電気的治療装置において、何らかの原因で半導体スイッチの制御が不可能な状態に陥った場合においても、内部放電できることにより、電気的治療装置の安全性を確保できる半導体スイッチ素子を用いた内部放電回路を提供することを目的とする。

【0007】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の半導体スイッチ素子を用いた内部放電回路は、制御回路からの制御信号で半導体スイッチ素子を導通状態にすることにより、電気エネルギー蓄積部に蓄積された電気エネルギーを、前記電気エネルギー蓄積部の一方の電極と、前記半導体スイッチ素子の第一端子との間に具備した内部放電抵抗により放電する半導体スイッチ素子を用いた内部放電回路において、前記電気エネルギー蓄積部の一方の電極と、前記半導体スイッチ素子の制御端子との間に、前記電気エネルギー蓄積部の一方の電極から、電流を制限して前記半導体スイッチ素子の制御端子へ伝達する安全性確保用抵抗を具備したことで、電気エネルギー蓄積部の内部放電を行う際に、何らかの原因で半導体スイッチの制御が不可能な状態に陥った場合において、蓄積された電気エネルギーが、自動的に半導体スイッチ素子を導通状態にすることにより、電気エネルギー蓄積部に蓄積された電気エネルギーを内部放電抵抗により放電する。

【0008】請求項2記載の半導体スイッチ素子を用いた内部放電回路は、少なくともトランスを具備し、前記トランスの一次側に、半導体スイッチ素子を制御するための制御信号により、前記トランスの一次側電流を制御する一次側領域を具備し、前記トランスの二次側に、半導体スイッチ素子を直接駆動する二次側領域を具備し、前記一次側領域は、制御信号を入力し、半導体スイッチ素子を制御するための電力を、前記二次側領域に伝達し、前記トランスの一次巻線を通る電流が遮断されたときに発生する逆起電力を抑制するように構成されたことで、トランスを通る電流が遮断されたときに発生する逆起電力を抑制する。

【0009】請求項3記載の半導体スイッチ素子を用いた内部放電回路における、前記二次側領域は、前記一次側領域から供給された電力を受け、前記半導体スイッチ素子を制御するための電力を前記半導体スイッチに伝達

し、前記トランスの一次巻線を通る電流が遮断されたときに発生する逆起電力によって生ずる電圧を遮断し、前記安全性確保用抵抗に比べてインピーダンスが低くなるように構成されたことで、電気エネルギー蓄積部に電気エネルギーが蓄積された状態においても、制御信号による半導体スイッチ素子の制御が優先して行われる。

【0010】請求項4記載の半導体スイッチ素子を用いた内部放電回路における、前記二次側領域は、前記トランスの二次巻線線の一端の端子が、第一の定電圧ツェナーダイオードのアノードに接続され、前記第一の定電圧ツェナーダイオードと互いにカソード同士が向かい合わせて接続された第二の定電圧ツェナーダイオードのアノードが抵抗を介して、前記半導体スイッチ素子の制御端子に接続され、前記トランスの二次巻線線の他端の端子が、前記半導体スイッチ素子の第二端子に接続され、前記第二の定電圧ツェナーダイオードのアノードと、前記半導体スイッチ素子の第二端子との間に、コンデンサが接続されたことで、一次側領域から供給された電力を受け、制御するための電力を半導体スイッチ素子に伝達する。

【0011】請求項5記載の半導体スイッチ素子を用いた内部放電回路は、前記半導体スイッチ素子および前記二次側領域を複数具備したことで、高電圧印加に対する耐圧が、各段のスイッチ素子自体の耐圧を加算した値となる。

【0012】請求項6記載の半導体スイッチ素子を用いた内部放電回路は、前記電気エネルギー蓄積部の一方の電極と、複数の前記半導体スイッチ素子のそれぞれの制御端子との間に、前記安全性確保用抵抗をそれぞれ接続したことで、高電圧印加に対する耐圧が、各段のスイッチ素子自体の耐圧を加算した値となる。

【0013】請求項7記載の半導体スイッチ素子を用いた内部放電回路は、複数の前記半導体スイッチ素子の第一端子と、第二端子との間に、それぞれの半導体スイッチ素子の特性のばらつきを補正するための補正用抵抗をそれぞれ接続したことで、印加される高電圧を各半導体スイッチ素子に均等に分散させることができる。

【0014】請求項8記載の半導体スイッチ素子を用いた内部放電回路は、前記電気エネルギー蓄積部の一方の電極と、第一段目の前記半導体スイッチ素子の制御端子との間に、第一段目用の前記安全性確保用抵抗を接続し、前記半導体スイッチ素子の第二端子と、次段の前記半導体スイッチ素子の制御端子との間に、第二段目以降用の安全性確保用抵抗をそれぞれ接続したことで、高電圧印加に対する耐圧が各段のスイッチ素子自体の耐圧を加算した値となり、かつ印加される高電圧を各半導体スイッチ素子に均等に分散させることができ、各安全性確保用抵抗の耐圧を分散させることができる。

【0015】請求項9記載の半導体スイッチ素子を用いた内部放電回路は、絶縁ゲート型バイポーラトランジスタ

（IGBT）を前記半導体スイッチ素子として用い、前記第一端子がコレクタであり、前記第二端子がエミッタであり、前記制御端子がゲートであり、前記電気エネルギー蓄積部の一方の電極が正極であることで、バイポーラトランジスタの高耐圧特性、パワーMOSFETの高速スイッチング特性を併せ持つ素子（IGBT）を使用することができる。

【0016】請求項10記載の半導体スイッチ素子を用いた内部放電回路は、KタイプN型MOSFETを前記半導体スイッチ素子として用い、前記第一端子がドレインであり、前記第二端子がソースであり、前記制御端子がゲートであり、前記電気エネルギー蓄積部の一方の電極が正極であることで、KタイプN型MOSFETを半導体スイッチ素子として使用することができる。

【0017】請求項11記載の半導体スイッチ素子を用いた内部放電回路は、JタイプP型MOSFETを前記半導体スイッチ素子として用い、前記第一端子がドレインであり、前記第二端子がソースであり、前記制御端子がゲートであり、前記電気エネルギー蓄積部の一方の電極が負極であることで、JタイプP型MOSFETを半導体スイッチ素子として使用することができる。

【0018】請求項12記載の電氣的治療装置は、請求項1～11のいずれかに記載の半導体スイッチ素子を用いた内部放電回路と、電氣的刺激の波形を生成して生体（患者）への電気エネルギー出力をおこなう外部放電回路と、電気エネルギー蓄積部と、電気エネルギー蓄積部への充電を行う充電回路と、を有することで、電気エネルギー蓄積部の内部放電を行う際に、何らかの原因で半導体スイッチの制御が不可能な状態に陥った場合においても、内部放電できることにより、電氣的治療装置の安全性を確保できる。

【0019】

【発明の実施の形態】以下に、本発明に係る半導体スイッチ素子を用いた内部放電回路の実施の形態について、図面を参照しながら詳細に説明する。図1は、本発明に係る半導体スイッチ素子を用いた内部放電回路を含む、電氣的治療装置の放電回路の構成を説明するための回路図である。図2は、本実施の形態に係る半導体スイッチ素子を用いた内部放電回路の各動作におけるタイミング図である。

【0020】図1において、本実施の形態の電氣的治療装置の構成は、電気エネルギー蓄積部142と、その充電回路145と、電気エネルギー蓄積部142への充電時および充電完了状態での充電回路への電流の逆流を防止するダイオード143、144、生体（患者）へ電気パルスを与えるための外部放電回路146、内部に残った高電圧の電気エネルギーを強制的に放電して装置の安全性を確保するための半導体スイッチ素子を用いた内部放電回路147を有する。本実施の形態の半導体スイッチ素子を用いた内部放電回路147は、トランス103

と、その一次側領域101と、二次側領域102と、半導体スイッチ素子133から構成され、電気エネルギー蓄積部の一方の電極（正極）と、半導体スイッチ素子の第一端子（コレクタ）との間に接続された内部放電抵抗141を具備している。そして、この二次側領域102は、蓄積された電気エネルギーにより、自動的に半導体スイッチ素子133を導通状態にするための安全性確保用抵抗140が、電気エネルギー蓄積部142の一方の電極（正極）と、半導体スイッチ素子133の制御端子（ゲート）との間に接続されたことを特徴としている。

【0021】次に、内部放電回路147の詳細な構成を説明する。一次側領域101は、以下に述べるように構成されている。制御信号入力端子PLは、並列接続された抵抗105とコンデンサ104とを介して、NPNバイポーラトランジスタ108のベースに接続され、NPNバイポーラトランジスタ108のベースとエミッタは、抵抗106を介して接続されかつ接地端子GNDに接続されている。また、NPNバイポーラトランジスタ108のコレクタは、抵抗107を介して、JタイプP型MOSFET110のゲートに接続され、JタイプP型MOSFET110のゲートとソースは、抵抗109を介して接続されかつソースは電源端子VDDに接続されている。また、JタイプP型MOSFET110のドレインは、ダイオード111のアノードに接続され、ダイオード111のカソードは、KタイプN型MOSFET114のドレイン及びトランス103の一次巻き線の端子127aに接続されている。また、KタイプN型MOSFET114のゲートとソースは、抵抗113を介して接続されかつソースは接地端子GNDに接続されている。また、制御信号入力端子Nは、このKタイプN型MOSFET114のゲートに抵抗112を介して接続されている。また、制御信号入力端子NLは、並列接続された抵抗117とコンデンサ116とを介して、NPNバイポーラトランジスタ120のベースに接続され、NPNバイポーラトランジスタ120のベースとエミッタは、抵抗118を介して接続されかつエミッタは接地端子GNDに接続されている。また、NPNバイポーラトランジスタ120のコレクタは、抵抗119を介して、JタイプP型MOSFET122のゲートに接続され、このJタイプP型MOSFET122のゲートとソースは、抵抗121を介して接続されかつソースは電源端子VDDに接続されている。また、JタイプP型MOSFET122のドレインは、ダイオード123のアノードに接続され、ダイオード123のカソードは、KタイプN型MOSFET126のドレイン及びトランス103の一次巻き線の端子127dに接続されている。また、KタイプN型MOSFET126のゲートとソースは、抵抗125を介して接続されかつソースは接地端子GNDに接続されている。また、制御信号入力端子Pは、このKタイプN型MOSFET126のゲートに抵

抗124を介して接続されている。また、トランス103の一次巻き線の端子127b、127cは、センタータップ135に接続され、さらにセンタータップ135は電源端子VDDに接続されかつコンデンサ115を介して接地端子GNDに接続されている。

【0022】二次側領域102は、以下に述べるように構成されている。二次側領域102は、トランス103の二次巻き線の一端の端子127eに、（第一の）定電圧ツェナーダイオード128のアノードに接続され、互いにカソード同士が向かい合わせて接続された（第二の）定電圧ツェナーダイオード129のアノードが、抵抗132を介して、半導体スイッチ素子133の制御端子（ゲート）に接続され、二次巻き線の他端の端子127fが半導体スイッチ素子133の第二端子（エミッタ）に接続され、（第二の）定電圧ツェナーダイオード129のアノードと、半導体スイッチ素子133の第二端子（エミッタ）との間に、コンデンサ131が、接続されている。さらに、電気エネルギー蓄積部142の正極と、半導体スイッチ素子133のゲートとの間に、安全性確保用抵抗140が接続されている。

【0023】次に、各領域・回路の機能の説明を以下に記す。内部放電回路の一次側領域101は、制御信号を入力し、半導体スイッチ素子133を制御するための電力を内部放電回路の二次側領域102に伝達する。さらに、トランス103の一次巻線を流れる電流が遮断されたときに発生する逆起電力を抑制する。

【0024】内部放電回路の二次側領域102は、内部放電回路一次側領域101から供給された電力を受け、制御するための電力を半導体スイッチ素子133に伝達する。さらに、トランス103の一次巻線を流れる電流が遮断されたときに発生する逆起電力によって生ずる電圧を遮断する。そして、一次側領域101から供給された電力を受けて、半導体スイッチ素子133による電流経路の導通または遮断を行う。充電回路145は、ダイオード143、144を介して、電気エネルギー蓄積部142への充電を行う。外部放電回路146は除細動の波形を生成し、生体（患者）への出力を行う。

【0025】さらに、各回路部品の機能の説明を以下に記す。コンデンサ104は、バイポーラトランジスタ108のターンオン／ターンオフ時のスピードアップを図る。抵抗105は、バイポーラトランジスタ108のベース電流制限を行う。抵抗106は、バイポーラトランジスタ108のベース電位をエミッタと同電位にする。抵抗107は、バイポーラトランジスタ108のコレクタ電流制限を行う。バイポーラトランジスタ108は、JタイプP型MOSFET110のオン／オフ制御を行う。抵抗109は、JタイプP型MOSFET110のゲート電位をソースと同電位にする。JタイプP型MOSFET110は、KタイプN型MOSFET126ターンオフ時の逆起電力によってトランス103の一次側

巻き線の端子127aに発生する電圧を抑制する。ダイオード111は、KタイプN型MOSFET126のターンオフ時の逆起電力によってトランス103の一次側巻き線の端子127aに発生する電圧を最適なレベルに抑制する。また、KタイプN型MOSFET126の導通時にトランス103の端子127aに発生する電源電圧より高い電圧により、JタイプP型MOSFET110に逆向きの電流が流れるのを防ぐ。抵抗112は、KタイプN型MOSFET114のゲート電流制限を行う。抵抗113は、KタイプN型MOSFET114のゲート電位をソースと同電位にする。KタイプN型MOSFET114は、トランス103の一次巻線への電流供給制御を行う。コンデンサ115は、トランス103へ供給する電源電圧の平滑化を行う。コンデンサ116は、バイポーラトランジスタ120のターンオン／ターンオフ時のスピードアップに寄与する。抵抗117は、バイポーラトランジスタ120のベース電流制限をおこなう。抵抗118は、バイポーラトランジスタ120のベース電位をコレクタと同電位にする。抵抗119は、バイポーラトランジスタ120のコレクタ電流制限を行う。バイポーラトランジスタ120は、JタイプP型MOSFET122のオン／オフ制御を行う。抵抗121は、JタイプP型MOSFET122のゲート電位をソースと同電位にする。JタイプP型MOSFET122は、KタイプN型MOSFET114ターンオフ時の逆起電力によってトランス103の一次巻き線の端子127dに発生する電圧を抑制する。ダイオード123は、KタイプN型MOSFET114ターンオフ時の逆起電力によってトランス103の一次巻き線の端子127dに発生する電圧を最適なレベルに抑制する。また、KタイプN型MOSFET114導通時にトランス103の端子127dに発生する電源電圧より高い電圧により、JタイプP型MOSFET122に逆向きの電流が流れるのを防ぐ。抵抗124は、KタイプN型MOSFET126のベース電流制限を行う。抵抗125は、KタイプN型MOSFET126のゲート電位をソースと同電位にする。KタイプN型MOSFET126は、トランス103の一次巻線への電流供給制御を行う。トランス103は、内部放電回路の一次側—二次側間の絶縁、二次側—二次側間の絶縁、および一次側から二次側への電力の伝達を行う。定電圧ツェナーダイオード128は、半導体スイッチ素子133への正電圧供給経路の接続、およびトランス103の逆起電力によってトランス103の二次巻き線の端子127e、127f間に発生する電圧の遮断を行う。定電圧ツェナーダイオード129は、半導体スイッチ素子133への負電圧供給経路の接続、およびトランス103の逆起電力によってトランス103の二次巻き線の端子127e、127f間に発生する電圧の遮断を行う。コンデンサ131は、半導体スイッチ素子133のゲート電圧の保持をおこなう。さら

に、図示しないが、複数の半導体スイッチ素子が直列接続された半導体スイッチ素子を用いた場合には、各半導体スイッチ素子のゲート容量間のばらつきを補正できる。抵抗132は、半導体スイッチ素子133のゲート電流を制限する。半導体スイッチ素子133は、スイッチ経路134を導通または遮断する。安全性確保用抵抗140は電気エネルギー蓄積部142のエネルギーを、電流を制限して半導体スイッチ素子133のゲートへ伝達する。内部放電抵抗141は半導体スイッチ素子133が導通し、スイッチ経路134が導通状態になることで、電気エネルギー蓄積部142のエネルギーを消費する。電気エネルギー蓄積部142は、除細動に使用する電気エネルギーを蓄積する。ダイオード143および144は、電気エネルギー蓄積部142への充電時、および充電完了状態での、充電回路への電流の逆流を防止する。

【0026】次に、本実施の形態に係る内部放電回路の動作を、図1の回路図を参照して説明する。

1. 制御信号P、PL、N、NLによって制御する場合
半導体スイッチ素子133のゲートから見ると、抵抗132側の128、129、131、132およびトランス103の二次巻線127eから127f、から成る回路（トランス二次側領域）は安全性確保用抵抗140に比べてインピーダンスが低い。このため、電気エネルギー蓄積部に電気エネルギーが蓄積された状態においても、制御信号による半導体スイッチ素子の制御が優先して行われ、制御信号P、PL、N、NLによる半導体スイッチ素子133のオン／オフ制御が可能である。

1a. 半導体スイッチの導通状態を維持する（正電圧の連続供給）動作（図2の（a））

本動作における、内部放電回路の一次側領域101の動作は、以下の（1a-1～1a-8）のとおりである。

1a-1：内部放電回路の一次側領域101の制御信号N、NLを回路上の0Vレベルに保つ。

1a-2：制御信号PLを、0Vレベルからバイポーラトランジスタ108が導通できるレベル（例えば+5V）に設定する。

1a-3：バイポーラトランジスタ108が導通状態となる。

1a-4：JタイプP型MOSFET110が導通状態になる。

1a-5：1a-1において制御信号NLを0Vレベルに設定してから、バイポーラトランジスタ120およびJタイプP型MOSFET122がオフするのに十分な時間が経過した後（例えば1μs後）に、制御信号Pを0VレベルからKタイプN型MOSFET126が導通できるレベル（例えば+5V）に設定する。

1a-6：KタイプN型MOSFET126が導通状態になる。

1a-7：トランス103の一次巻き線に、センタータ

ップ135からKタイプN型MOSFET126に向かって127cから127dへ電流が流れる。

1a-8: トランス103の各二次巻き線両端に、端子127e側を正、端子127f側を負、とした起電力 V_{2p} が発生する(数1参照)。

【0027】

【数1】 $V_{2p} = V_1 \times N_2 / N_1$

【0028】なお、数1において、 V_1 は、トランス103の端子127c、127d間にかかる電圧、 N_1 は、トランス103の端子127c、127d間(および127a、127b間)の巻数、 N_2 は、トランス103の端子127e、127f間の巻数である。

【0029】次に、本動作における、内部放電回路の二次側領域102の動作は、以下の(1a-9~1a-18)のとおりである。

【0030】1a-9: 各二次巻き線両端の起電力 V_{2p} が増加し、定電圧ツェナーダイオード129のツェナー電圧 V_{z29} と定電圧ツェナーダイオード128の順方向ドロップ電圧 V_{f28} を加えた電圧を越える(数2参照)。

【0031】

【数2】 $V_{2p} > V_{z29} + V_{f28}$

【0032】1a-10: 定電圧ツェナーダイオード129が導通状態になる。

1a-11: コンデンサ131への充電(定電圧ツェナーダイオード129側が正)と、抵抗132を通した半導体スイッチ素子133のゲート容量に対する充電(ゲート側が正)が行われる。

1a-12: 半導体スイッチ素子133のゲート電圧 V_{GE} がゲートしきい値電圧 $V_{GE(TH)}$ を越え(数3の条件)、半導体スイッチ素子133が導通状態になる。

【0033】

【数3】 $V_{GE33} > V_{GE(TH)}$

【0034】1a-13: 半導体スイッチ素子133のゲート電圧 V_{GE33} が、導通状態を保つのに十分なレベル(例えば+15V)になった後(例えば2.5μs後)に、制御信号Pを0Vレベルに設定する。

1a-14: KタイプN型MOSFET126が導通状態になる。

1a-15: トランス103の一次巻き線に、端子127d側が正、端子127a側を負とした逆起電力が発生するが、巻き線の片側の端子127a側が、導通状態のJタイプP型MOSFET110とダイオード111によって電源に接続されているため、端子127a、127d間に発生する逆起電力 V_{1rev} は、数4に示すように抑制される。

【0035】

【数4】 $V_{1rev} = (V_{ds10} + V_{f11}) \times 2$

【0036】なお、 V_{ds10} は、JタイプP型MOSFET110のドロップ電圧、 V_{f11} は、ダイオード111

の順方向のドロップ電圧である。

【0037】1a-16: トランス103の一次巻き線に発生する逆起電力 V_{1rev} によって、二次巻き線にも端子127f側を正、端子127e側を負とした起電力 V_{2prev} が発生するが、そのレベルは定電圧ツェナーダイオード128のツェナー電圧 V_{z28} 以下であり、二次側回路は定電圧ツェナーダイオード128によって遮断された状態になる(数5参照)。

【0038】

【数5】 $V_{2prev} = (V_{1rev} \times N_2 / N_1) < V_{z28}$

【0039】1a-17: 半導体スイッチ素子133のゲート電圧 V_{GE33} が、コンデンサ131、抵抗132、および半導体スイッチ素子133のゲート容量によって決定される時定数で減少する。この時定数は、トランス103のコアに蓄積された磁気エネルギーが消費されるのに十分な時間の間、半導体スイッチ素子133のゲート電圧 V_{GE33} が、導通状態を保つのに十分な電圧を維持し続けられるように決定されている。

1a-18: 半導体スイッチ素子133のゲート電圧 V_{GE33} がゲートしきい値電圧 $V_{GE(TH)}$ 以下に下がるよりも前、かつ、トランス103のコアに蓄積された磁気エネルギーが消費された後に、制御信号Pを0VレベルからKタイプN型MOSFET126が導通できるレベル(例えば+5V)に設定する。以降、1a-6~1a-18を繰り返す。

【0040】1b. 半導体スイッチの遮断状態を維持する(負電圧の連続供給)動作(図2の(b))

本動作における、内部放電回路の一次側領域101の動作は、以下の(1b-1~1b-8)のとおりである。

1b-1: 内部放電回路の一次側領域101の制御信号P、PLを回路上の0Vレベルに保つ。

1b-2: 制御信号NLを、0Vレベルからバイポーラトランジスタ120が導通できるレベル(例えば+5V)に設定する。

1b-3: バイポーラトランジスタ120が導通状態となる。

1b-4: JタイプP型MOSFET122が導通状態になる。

1b-5: 1b-1において制御信号PLを0Vレベルに設定してから、バイポーラトランジスタ108およびJタイプP型MOSFET110がオフするのに十分な時間が経過した後(例えば1μs後)に、制御信号Nを0VレベルからKタイプN型MOSFET114が導通できるレベル(例えば+5V)に設定する。

1b-6: KタイプN型MOSFET114が導通状態になる。

1b-7: トランス103の一次巻き線に、センタータップからKタイプN型MOSFET114に向かって(127bから127aへ)電流が流れる。

1b-8: トランス103の各二次巻き線両端に、端子

127f側を正、端子127e側を負、とした起電力 V_{2n} が発生する（以下、数6参照）。

【0041】

【数6】 $V_{2n} = V_1 \times N_2 / N_1$

【0042】なお、 V_1 は、トランス103の端子127b、127a間にかかる電圧、 N_1 は、トランス103端子127a、127b間（および127c、127d間）の巻数、 N_2 は、トランス103端子127e、127f間の巻数である。

【0043】次に、本動作における、内部放電回路の二次側領域102の動作は、以下の（1b-9～1b-18）のとおりである。

【0044】1b-9：各二次巻き線両端の起電力 V_{2n} が増加し、定電圧ツェナーダイオード128のツェナー電圧 V_{z28} と定電圧ツェナーダイオード129の順方向ドロップ電圧 V_{f29} を加えた電圧を越える。

【0045】

【数7】 $V_{2n} > V_{z28} + V_{f29}$

【0046】1b-10：定電圧ツェナーダイオード128が導通状態になる。

1b-11：コンデンサ131への充電（定電圧ツェナーダイオード129側が負）と、抵抗132を通した半導体スイッチ素子133のゲート容量に対する充電（ゲート側が負）が行われる。

1b-12：半導体スイッチ素子133のゲート電圧 V_{GE} が負になり、強制的な遮断状態となる。

1b-13：半導体スイッチ素子133のゲート電圧 V_{GE} が遮断状態を保つのに十分なレベル（例えば-15V）になった後（例えば2.5μs後）に、制御信号Nを0Vレベルに設定する。

1b-14：KタイプN型MOSFET114が遮断状態になる。

1b-15：トランス103の一次巻き線に、端子127a側を正、端子127d側を負とした逆起電力が発生するが、巻き線の片端の端子127d側が、導通状態のJタイプP型MOSFET122とダイオード123によって電源に接続されているため、発生する逆起電力 V_{1rev} は、以下の数8に示すように抑制される。

【0047】

【数8】 $V_{1rev} = (V_{ds22} + V_{f23}) \times 2$

【0048】なお、 V_{ds22} は、JタイプP型MOSFET122のドロップ電圧、 V_{f23} は、ダイオード123の順方向のドロップ電圧である。

【0049】1b-16：トランス103一次巻き線に発生する逆起電力 V_{1rev} によって、二次巻き線にも端子127e側を正、端子127f側を負とした起電力 V_{2nrev} が発生するが、そのレベルは定電圧ツェナーダイオード129のツェナー電圧 V_{z29} 以下であり、二次側領域の回路は定電圧ツェナーダイオード129によって遮断された状態になる（数9参照）。

【0050】

【数9】 $V_{2nrev} = (V_{1rev} \times N_2 / N_1) < V_{z29}$

【0051】1b-17：半導体スイッチ素子133のゲート電圧 V_{GE33} が、コンデンサ131、抵抗132、および半導体スイッチ素子133のゲート容量によって決定される時定数で増加する。この時定数は、トランス103のコアに蓄積された磁気エネルギーが消費されるのに十分な時間の間、半導体スイッチ素子133のゲート電圧 V_{GE33} が、遮断状態を保つのに十分な電圧を維持し続けられるように決定されている。

1b-18：半導体スイッチ素子133のゲート電圧 V_{GE33} がしきい値0V以上に上がるよりも前、かつ、トランス103のコアに蓄積された磁気エネルギーが消費された後に、制御信号Nを0VレベルからKタイプN型MOSFET114が導通できるレベル（例えば+5V）に設定する。以降、1b-6～1b-18を繰り返す。

【0052】2. 制御信号P、PL、N、NLによる半導体スイッチの制御が不可能になった場合の動作（図2の（c））

予期しない装置の電源遮断（バッテリーはずれ）や、何らかの装置の異常（制御回路の単一故障等）によって制御信号P、PL、N、NLによる半導体スイッチの制御が不可能になった場合、半導体スイッチは、内部放電回路の二次側領域102のみによって行われる。

【0053】以下に、制御信号P、PL、N、NLによって半導体スイッチが遮断状態にあり、電気エネルギー蓄積部142に電気的エネルギーが蓄積された状態で、4つの制御信号が回路中の0Vレベルに落ちた場合の回路動作を説明する。

【0054】2-0：電気エネルギー蓄積部142には電気的エネルギーが蓄積されており、両端の電位差は V_{cap} となっている。半導体スイッチ素子133のゲートには制御信号P、PL、N、NLによって負の電圧（安全性確保用抵抗140側が負）が与えられている。

【0055】

【数10】 $V_{GE33} < 0$

【0056】2-1：制御信号P、PL、N、NLが0Vレベルに落ちる。

2-2：KタイプN型MOSFET114、バイポーラトランジスタ108、JタイプP型MOSFET110、KタイプN型MOSFET126、バイポーラトランジスタ120、JタイプP型MOSFET122が遮断状態になる。

2-3：トランス103の一次巻き線に電流が流れなくなる。

2-4：トランス103の二次巻き線両端に発生していた起電力が徐々に減少し0Vとなる。

2-5：これに従って、半導体スイッチ素子133のゲート電圧が負から徐々に上昇し0Vになる。

【0057】

【数11】 $V_{GE33}=0$

【0058】2-6: 電気エネルギー蓄積部142から以下に記す順の経路で電流が流れる。電気エネルギー蓄積部142の正極、安全性確保用抵抗140、抵抗132、定電圧ツェナーダイオード129、定電圧ツェナーダイオード128、トランス103の二次巻き線(端子127eから端子127f)、電気エネルギー蓄積部142の負極。

2-7: この電流によって、半導体スイッチ素子133のゲート エミッタ間には定電圧ツェナーダイオード128のツェナー電圧 V_{z28} と定電圧ツェナーダイオード129の順方向ドロップ V_{f29} によって決定される正の電圧が与えられる(数12)。

【0059】

【数12】 $V_{GE33}=V_{z28}+V_{f29}$

【0060】2-8: このときの半導体スイッチ素子133のゲート電圧 V_{GE33} はゲートしきい値電圧 $V_{GE(TH)}$ より大きい(数13)。

【0061】

【数13】 $V_{GE33}=(V_{z28}+V_{f29})>V_{GE(TH)}$

【0062】よって、半導体スイッチ素子133が導通状態となる。

2-9: 電気エネルギー蓄積部142から以下に記す順の経路で電流が流れる。電気エネルギー蓄積部142の正極、内部放電抵抗141、半導体スイッチ素子133、電気エネルギー蓄積部142の負極。

2-10: 電気エネルギー蓄積部142に蓄積されていたエネルギーが内部放電抵抗141によって消費され、電気エネルギー蓄積部142の両端電圧 V_{cap} が減少する。

2-11: 電気エネルギー蓄積部142の両端電圧 V_{cap} が、以下数14に示す値まで減少する。

【0063】

【数14】 $V_{cap}<V_{z28}+V_{f29}$

【0064】2-12: 定電圧ツェナーダイオード128が遮断状態になる。

2-13: 半導体スイッチ素子133のゲート電圧 V_{GE33} がゲートしきい値電圧 $V_{GE(TH)}$ を下回り(数15)、半導体スイッチ素子133が遮断状態になる。

【0065】

【数15】 $V_{GE33}<V_{GE(TH)}$

【0066】上述の本実施の形態に係る半導体スイッチ素子を用いた内部放電回路は、半導体スイッチ素子133を一段構成としたが、複数の半導体スイッチ素子を直列に接続することにより耐圧を高めた、多段構成とすることもできる。このような場合は、半導体スイッチ素子を直接駆動する二次側領域も、半導体スイッチ素子と同数必要である。以下、半導体スイッチ素子および前記二次側領域を複数具備した多段回路構成例1、2を挙げて具体的に説明する。図1と同一部分には同一符号を付

し、その説明を省略する。

【0067】(多段回路構成例1)図3に多段回路構成例1を示す。図3に示すように、電気エネルギー蓄積部142の一方の電極(正極)と、複数の半導体スイッチ素子133のそれぞれの制御端子(ゲート)との間に、安全性確保用抵抗140aをそれぞれ接続した構成例である。好ましくは、複数の前記半導体スイッチ素子133の第一端子(コレクタ)と、第二端子(エミッタ)との間に、それぞれの半導体スイッチ素子の特性のばらつきを補正するための補正用抵抗148をそれぞれ接続する。本構成例では、複数の半導体スイッチ素子を直列に接続したので、半導体スイッチの高電圧印加に対する耐圧が、各段のスイッチ素子自体の耐圧を加算した値となり、印加される高電圧を各半導体スイッチ素子に均等に分散させることができるため、高耐圧の半導体スイッチが実現でき、よって、高電圧のエネルギーを内部放電可能な内部放電回路が提供できる。なお、他の部分の構成は図1の回路と同様である。動作も、図1の回路と同様である。

【0068】(多段回路構成例2)図4に多段回路構成例2を示す。図4に示すように、電気エネルギー蓄積部142の一方の電極(正極)と、第一段目の半導体スイッチ素子133の制御端子(ゲート)との間に、第一段目の前記安全性確保用抵抗140bを接続し、半導体スイッチ素子の第二端子(ソース)と、次段の半導体スイッチ素子133の制御端子(ゲート)との間に、第二段目以降用の安全性確保用抵抗140bをそれぞれ接続した回路構成例である。本構成例では、安全性確保用抵抗は各段の半導体スイッチ素子の制御回路を介して各段の半導体スイッチ素子の制御端子(ゲート)に接続された構成となっているため、各安全性確保用抵抗の耐圧は、半導体スイッチ素子が1段の場合や、多段回路構成例1の場合に比べて、段数分だけ耐圧を分散させることができる。つまり、高電圧印加に対する耐圧が各段のスイッチ素子自体の耐圧を加算した値となり、かつ印加される高電圧を各半導体スイッチ素子に均等に分散させることができるのである。例えば、3kVの耐圧が必要とした場合、段数を3段にすると、各安全性確保用抵抗の耐圧は1kVで良い。なお、他の部分の構成は図1の回路と同様である。動作も、図1の回路と同様である。

【0069】上述の説明は、半導体スイッチ素子に絶縁ゲート型バイポーラトランジスタ(IGBT: Insulated Gate Bipolar Transistor)を用いた例を説明したが、半導体スイッチ素子は、MOSFETを使用しても良く、その回路構成例を以下に説明する。図1と同一部分には同一符号を付し、その説明を省略する。

【0070】(KタイプN型MOSFETの場合の回路構成例)MOSFETがKタイプN型MOSFETの場合の構成例を図5に示す。図5に示すように、KタイプN型MOSFET133aを半導体スイッチ素子として

用い、第一端子がドレイン、第二端子がソース、制御端子がゲートであり、電気エネルギー蓄積部の一方の電極が正極である。なお、他の部分の構成は図1の回路と同様である。動作も、図1の回路と同様である。

【0071】(JタイプP型MOSFETの場合の回路構成例) MOSFETがJタイプP型MOSFETの場合の構成例を図6に示す。図6に示すように、JタイプP型MOSFET 133bを半導体スイッチ素子として用い、第一端子がドレイン、第二端子がソース、制御端子がゲートであり、電気エネルギー蓄積部の一方の電極が負極である。なお、他の部分の構成は図1の回路と同様である。動作も、図1の回路と同様である。

【0072】

【発明の効果】以上詳述したとおり、請求項1記載の半導体スイッチ素子を用いた内部放電回路は、制御回路からの制御信号で半導体スイッチ素子を導通状態にすることにより、電気エネルギー蓄積部に蓄積された電気エネルギーを、前記電気エネルギー蓄積部の一方の電極と、前記半導体スイッチ素子の第一端子との間に具備した内部放電抵抗により放電する半導体スイッチ素子を用いた内部放電回路において、前記電気エネルギー蓄積部の一方の電極と、前記半導体スイッチ素子の制御端子との間に、前記電気エネルギー蓄積部の一方の電極から、電流を制限して前記半導体スイッチ素子の制御端子へ伝達する安全性確保用抵抗を具備したことにより、電気エネルギー蓄積部の内部放電を行う際に、何らかの原因で半導体スイッチの制御が不可能な状態に陥った場合において、蓄積された電気エネルギーが自動的に半導体スイッチ素子を導通状態にする。これにより、予期しない電源の遮断(バッテリーはずれ等)や、何らかの装置の異常(制御回路の単一故障等)によって半導体スイッチが制御不能状態になっても、蓄積された電気エネルギーが自動的に半導体スイッチ素子を導通状態にするので、確実に電気エネルギー蓄積部に蓄積された電気エネルギーを、内部放電抵抗により放電することができる。

【0073】請求項2記載の半導体スイッチ素子を用いた内部放電回路によれば、少なくともトランスを具備し、前記トランスの一次側に、半導体スイッチ素子を制御するための制御信号により、前記トランスの一次側電流を制御する一次側領域を具備し、前記トランスの二次側に、半導体スイッチ素子を直接駆動する二次側領域を具備し、前記一次側領域は、制御信号を入力し、半導体スイッチ素子を制御するための電力を、前記二次側領域に伝達し、前記トランスの一次巻線を通る電流が遮断されたときに発生する逆起電力を抑制するように構成されたことで、トランスを通る電流が遮断されたときに発生する逆起電力を抑制することができる。

【0074】請求項3記載の半導体スイッチ素子を用いた内部放電回路によれば、前記二次側領域が、前記一次側領域から供給された電力を受け、前記半導体スイッチ

素子を制御するための電力を前記半導体スイッチに伝達し、前記トランスの一次巻線を通る電流が遮断されたときに発生する逆起電力によって生ずる電圧を遮断し、前記安全性確保用抵抗に比べてインピーダンスが低くなるように構成されたことで、電気エネルギー蓄積部に電気エネルギーが蓄積された状態においても、制御信号による半導体スイッチ素子の制御が優先して行うことができる。

【0075】請求項4記載の半導体スイッチ素子を用いた内部放電回路によれば、上述の二次側領域の構成により、一次側領域から供給された電力を受け、制御するための電力を半導体スイッチ素子に伝達し、トランスの一次巻線が遮断されたときに発生する逆起電力によって生ずる電圧を遮断することができる。

【0076】請求項5記載の半導体スイッチ素子を用いた内部放電回路によれば、前記半導体スイッチ素子および前記二次側領域を複数具備したことで、高電圧印加に対する耐圧が、各段のスイッチ素子自体の耐圧を加算した値となる。これにより、より高電圧のエネルギーを内部放電可能な内部放電回路が提供できる。

【0077】請求項6記載の半導体スイッチ素子を用いた内部放電回路によれば、前記電気エネルギー蓄積部の一方の電極と、複数の前記半導体スイッチ素子のそれぞれの制御端子との間に、前記安全性確保用抵抗をそれぞれ接続したことで、高電圧印加に対する耐圧が、各段のスイッチ素子自体の耐圧を加算した値となる。これにより、より高電圧のエネルギーを内部放電可能な内部放電回路が提供できる。

【0078】請求項7記載の半導体スイッチ素子を用いた内部放電回路によれば、複数の前記半導体スイッチ素子の第一端子と、第二端子との間に、それぞれの半導体スイッチ素子の特性のばらつきを補正するための補正用抵抗をそれぞれ接続したことで、印加される高電圧を各半導体スイッチ素子に均等に分散させることができ、各半導体スイッチ素子の特性のばらつきを補正することができる。

【0079】請求項8記載の半導体スイッチ素子を用いた内部放電回路によれば、前記電気エネルギー蓄積部の一方の電極と、第一段目の前記半導体スイッチ素子の制御端子との間に、第一段目の前記安全性確保用抵抗を接続し、前記半導体スイッチ素子の第二端子と、次段の前記半導体スイッチ素子の制御端子との間に、第二段目以降用の安全性確保用抵抗をそれぞれ接続したことで、高電圧印加に対する耐圧が各段のスイッチ素子自体の耐圧を加算した値となり、かつ印加される高電圧を各半導体スイッチ素子に均等に分散させることができ、各安全性確保用抵抗の耐圧を分散させることができる。

【0080】請求項9記載の半導体スイッチ素子を用いた内部放電回路によれば、絶縁ゲート型バイポーラトランジスタ(IGBT)を前記半導体スイッチ素子として

用いたことで、バイポーラトランジスタの低飽和電圧特性、パワーMOSFETの高速スイッチング特性を併せ持つ素子（IGBT）を使用する。これにより、低損失かつ高速スイッチング動作が可能な、半導体スイッチ素子を用いた内部放電回路が提供できる。

【0081】請求項10記載の半導体スイッチ素子を用いた内部放電回路によれば、KタイプN型MOSFETを前記半導体スイッチ素子として用い、前記第一端子がドレインであり、前記第二端子がソースであり、前記制御端子がゲートであり、前記電気エネルギー蓄積部の一方の電極が正極であることで、KタイプN型MOSFETを半導体スイッチ素子として使用することができる。

【0082】請求項11記載の半導体スイッチ素子を用いた内部放電回路によれば、JタイプP型MOSFETを前記半導体スイッチ素子として用い、前記第一端子がドレインであり、前記第二端子がソースであり、前記制御端子がゲートであり、前記電気エネルギー蓄積部の一方の電極が負極であることで、JタイプP型MOSFETを半導体スイッチ素子として使用することができる。

【0083】請求項12記載の電氣的治療装置は、請求項1～11のいずれかに記載の半導体スイッチ素子を用いた内部放電回路と、電氣的刺激の波形を生成して生体（患者）への電気エネルギー出力をおこなう外部放電回路と、電気エネルギー蓄積部と、電気エネルギー蓄積部への充電を行う充電回路と、を有する。これにより、予期しない電源の遮断（バッテリーはずれ等）や、何らかの装置の異常（制御回路の単一故障等）によって半導体スイッチがオフ状態のままになっても、確実に電気エネルギー蓄積部に蓄積された電気エネルギーを、内部放電抵抗により放電でき、電氣的治療装置を操作や修理をする際に、操作者や修理者が感電してしまうことのない安全性に優れた電氣的治療装置を提供できる。

【図面の簡単な説明】

【図1】本発明に係る半導体スイッチ素子を用いた内部放電回路および電氣的治療装置の実施の形態を説明するための回路図である。

【図2】本実施の形態に係る半導体スイッチ素子を用いた内部放電回路の各動作におけるタイミング図である。

【図3】本実施の形態に係る多段回路構成例1を説明するための回路図である。

【図4】本実施の形態に係る多段回路構成例2を説明す

るための回路図である。

【図5】本実施の形態に係るKタイプN型MOSFETの場合の回路構成例を説明するための回路図である。

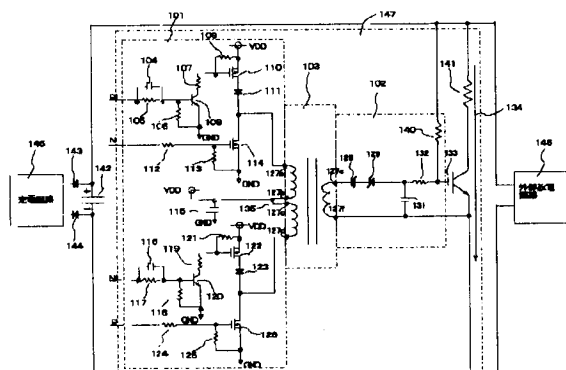
【図6】本実施の形態に係るJタイプP型MOSFETの場合の回路構成例を説明するための回路図である。

【図7】従来の電氣的治療装置における半導体スイッチを用いた内部放電方法を説明する概略図である。

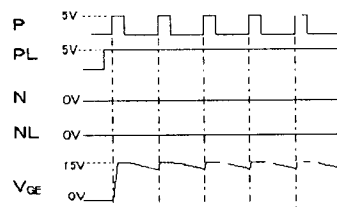
【符号の説明】

101 （トランスの）一次側領域
102 （トランスの）二次側領域
103 トランス
104、115、116、131 コンデンサ
105、106、107、109 抵抗
108、120 バイポーラトランジスタ
110、122 JタイプP型MOSFET
114、126 KタイプN型MOSFET
111、123、143、144 ダイオード
112、113、117、118 抵抗
119、121、124、125 抵抗
127a、127b、127c、127d 一次巻き線の端子
127e、127f 二次巻き線の端子端子
128、129 定電圧ツェナーダイオード
132 抵抗
133、133a、133b 半導体スイッチ素子
134 スイッチ経路
135 センタータップ
140 安全性確保用抵抗
141 内部放電抵抗
142 電気エネルギー蓄積部
145 充電回路
146 外部放電回路
147 内部放電回路
148 補正用抵抗
201 半導体スイッチ
202 マイクロプロセッサ
203 半導体スイッチ駆動部
204 内部放電抵抗
GND 接地端子
NL、N、PL、P 制御信号（その入力端子）
VDD 電源端子

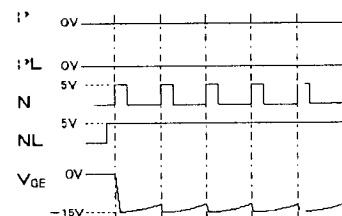
【図1】



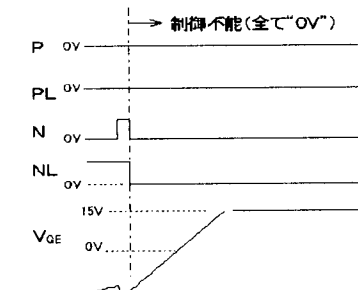
【図2】



(a) 半導体スイッチの導通状態を維持する(正電圧の連続供給)動作

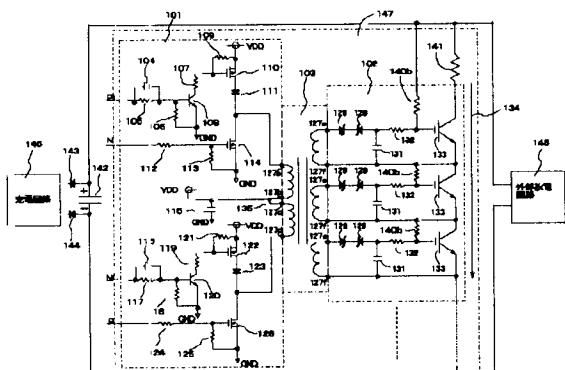


(b) 半導体スイッチの遮断状態を維持する(負電圧の連続供給)動作

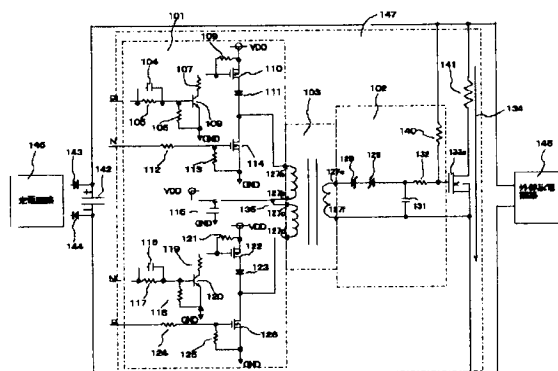


(c) (b)の状態から、制御信号による半導体スイッチの制御が不可能(P, PL, N, NL, 全て0V)になった場合の動作

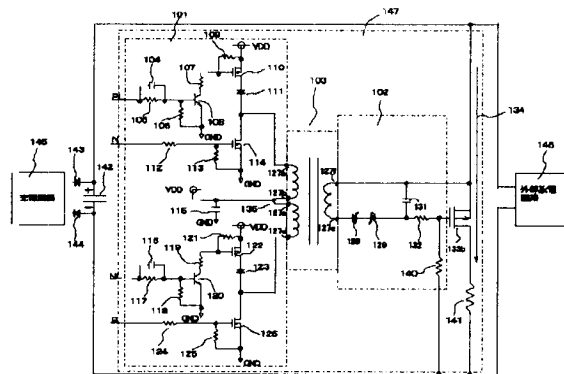
【図4】



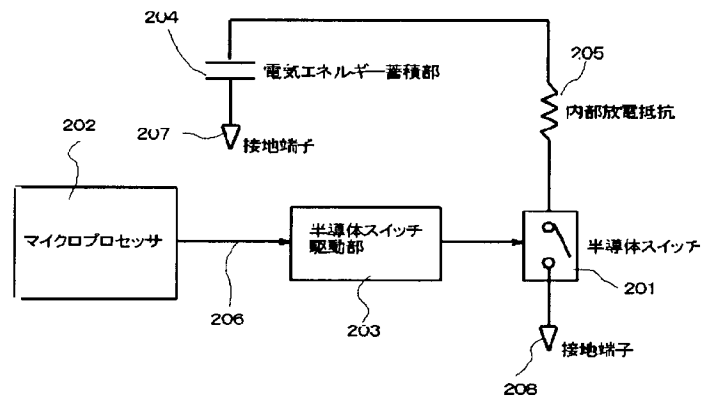
【図5】



【図6】



【図7】



従来の半導体スイッチ素子を用いた内部放電回路の概略図

フロントページの続き

(72)発明者 津村 育洋
東京都新宿区西落合1丁目31番4号 日本
光電工業株式会社内

Fターム(参考) 4C053 JJ01 JJ23
5H740 BA12 BB07 HH05 JA28 KK03